

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-121780
 (43)Date of publication of application : 18.05.1993

(51)Int.Cl. H01L 31/12
 H01L 27/14
 H01L 31/0232

(21)Application number : 03-281740
 (22)Date of filing : 28.10.1991

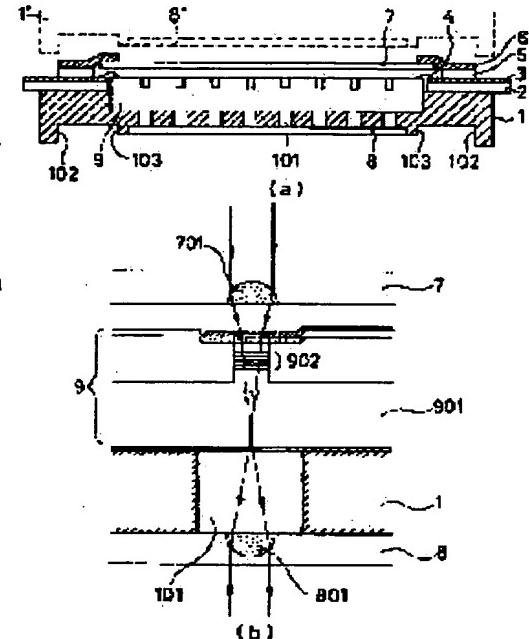
(71)Applicant : TOSHIBA CORP
 (72)Inventor : FURUYAMA HIDETO
 KUSHIBE MITSUHIRO

(54) OPTICAL ELEMENT ARRAY MOUNTING METHOD AND BODY

(57)Abstract:

PURPOSE: To provide a method of mounting an optical element array, where an optical device large in number of arrays is easily realized and the optical axes of a large number of optical elements are easily aligned with each other in the constitution of an optically connected system of large scale.

CONSTITUTION: In a mounting method through which optical element arrays of an optical system are mounted through optical subordinate connection, an optical element array 9 is mounted on a mounting body provided with a recess which functions as an optical axis aligning means to the array 9, optical windows 7 and 8 which protect the array 9, and an aligning means (protrusions 102 and 103) used for aligning mounting bodies with each other. The mounting bodies are laminated to optically connect the optical element array 9 in a subordinate manner.



LEGAL STATUS

[Date of request for examination] 15.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3068283

[Date of registration] 19.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-121780

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.⁵

H 01 L 31/12
27/14
31/0232

識別記号 庁内整理番号

G 7210-4M

F I

技術表示箇所

7210-4M
7210-4M

H 01 L 27/14
31/02

Z
C

審査請求 未請求 請求項の数3(全9頁)

(21)出願番号

特願平3-281740

(22)出願日

平成3年(1991)10月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 古山 英人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 榎部 光弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

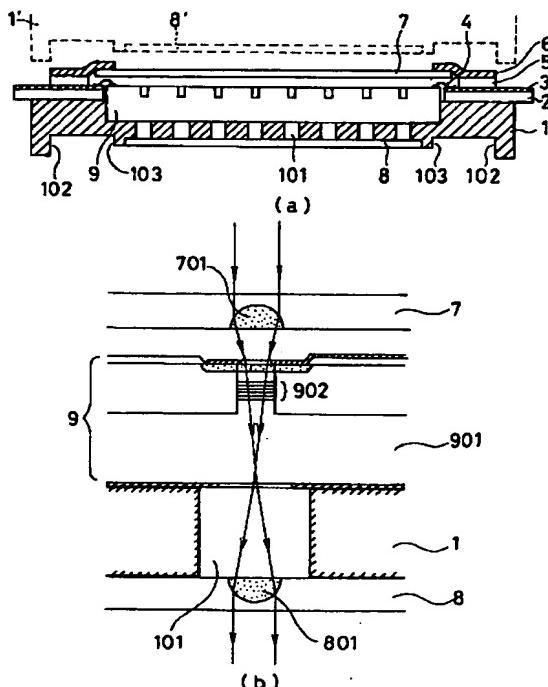
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 光素子アレイの実装方法及び光素子アレイ用実装体

(57)【要約】

【目的】 大規模な光接続システムの構築において多数の光素子間の光軸調整を容易にし、また、アレイ数の大きな光素子の実現を容易にすることのできる光素子アレイの実装方法を提供すること。

【構成】 光学的な従属接続により複数の光システム用光素子アレイを実装する方法において、光素子アレイ9を、該光素子アレイ9に対する光軸整合手段として作用する凹部と該光素子アレイ9を保護する光学的窓部7、8を有し、且つ実装体同士の位置合わせ手段(凸部102、103)を有する実装体に装着し、この実装体の複数個の積層により光素子アレイ9を光学的に従属接続することを特徴とする。



【特許請求の範囲】

【請求項1】 光学的な従属接続により複数の光システム用光素子アレイを実装する方法において、前記光素子アレイを、該光素子アレイに対する光軸整合手段と該光素子アレイを保護する光学的窓部を有し、且つ実装体同士の位置合わせ手段を有する実装体に装着し、この実装体の複数個の積層により前記光素子アレイを光学的に従属接続することを特徴とする光素子アレイの実装方法。

【請求項2】 光素子アレイよりも小規模な光素子アレイチップを、複数の光素子アレイチップに対する光軸調整機構を有したホルダー上に2次元配置し、この2次元配置された光素子アレイチップを光素子アレイとして前記実装体に装着することを特徴とする請求項1記載の光素子アレイの実装方法。

【請求項3】 光システム用光素子アレイを装着する実装基板と、この実装基板上の光素子アレイを位置決めする光軸整合手段と、前記実装基板の前記光素子アレイの光軸延長上に設けられた貫通穴と、該貫通穴を封じ込んだ光学的窓部とを具備してなることを特徴とする光素子アレイ用実装体。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、光学的従属接続により構成される光システム用光素子アレイの実装方法及びこの方法に用いる光素子アレイ用実装体に関する。

【0002】

【従来の技術】 近年、光通信技術で養われた光素子技術を用い、各種電子機器の内部に短距離光伝送を導入しようとする試みが行われるようになってきた。この目的とするところは、光の持つ無誘導、高速大容量等の特徴により、電気結線の持つ高速化、高密度化の限界を打破することであり、超高速コンピュータ等の開発で重要な位置付けが与えられている。特に、2次元光素子アレイを用いた高速高密度光伝送は、超高速光バス、光演算ユニット、光交換機等の応用で早くも注目を集めている。

【0003】 2次元光素子アレイの例としては、 32×32 の約1千素子の集積例が報告されている。このような2次元光素子アレイでは、アレイの表面方向に光出入力が行われ、光素子の表面方向に光学的な従属接続を行って前述のような機能システムが構成される。しかしながら、現在の段階ではシステム的なアーキテクチャや部分的な光素子アレイの構造は検討されているものの、その中間となるモジュール技術等の実装方法に関する検討が殆ど行われていない。そのため、デバイス技術とシステム技術との間に大きな格差があり、前述したような光技術を用いた機能システムの構築を困難なものとしている。

【0004】 特に問題となるのは、光素子アレイの光学的従属接続における光素子アレイ間の光軸調整方法、2

次元アレイの大規模化における光素子アレイサイズであり、これらの問題について詳細を以下に述べていく。尚、ここでは光素子アレイを用いたシステムの例として、光学的構成の比較的単純な2次元光バスシステムを取り上げていく。

【0005】 図9(a)は2次元素子アレイを用いた光バスシステムの例であり、2000は単位回路を搭載したボード、2001～2004は並列演算システムのCPU等の論理ユニット、2010はボード2000の光バスユニット、2021～2024は光バスユニット2010に設けられた光素子アレイである。ここでは簡単のために、1ボードあたり4論理ユニットの構成で示してある。

【0006】 光バスシステムとしては、図9(a)のようなボードを図9(b)のように積層し、それぞれの光バスユニット2010～2210を光学的に結合させて構成される。このように構成される光バスシステムでは、それぞれの光経路を比較的密に近接させることができ、またギガビット領域での高速バスを形成することができる。このような構成のバスを電気結合で行った場合、信号線路相互の誘導干渉のために信号線路間隔の拡大か信号速度の低下と言うような限界がもたらされる。

【0007】 しかしながら、図9で示した例のように比較的小規模なシステムでは、装置サイズが多少大きくなることを犠牲に電気結線によりシステムを構成することができる。このため、光バスを用いることの本来のメリットは比較的大規模のシステム、例えば、並列演算システムの場合1000CPU～10000CPU以上のシステムで発揮されるようになってくる。

【0008】 このような大規模のシステムに於いては、基本的には接続するボード数に相当する数の光素子が必要であり、また構成の仕方によってはボード数の2乗数の光素子が必要になる。例えば1枚のボードに搭載できるポート数は実用的に100ポート程度であり、1000ポートのシステムでボード数が10枚、10000ポートのシステムではボード数が100枚必要となってくる。そして、それぞれのボードには最低100素子の光素子アレイが必要であり、アドレス指定方法に空間配置を利用する場合にそれぞれのボードに10000素子の光素子アレイが必要な場合がある。

【0009】 このように、光素子アレイを用いたシステムに於いては非常に多数の光素子が必要になり、光素子のアレイ規模や必要なアレイ素子数が膨大なものとなりやすい。そこで発生する問題として、第一に光素子アレイ間(ユニットとなるボード間)の光軸調整が深刻な問題となること、第二に光素子のアレイ数が100から10000と大きくなることがある。

【0010】 前者の問題は、例えば最小構成の場合で100個のアレイ素子を10枚、非常に精密に同軸状にアライメントする必要があり、これには多大な労力と熟練

性を要する。特に、10000個のアレイ素子を100枚アライメントする場合等、特別な訓練を受けた専門技術者によってのみ可能な状態となり、システム運用上の保守に問題がある。さらに、このように多数のボードを重ねた場合、周囲の温度で容易に光軸が変動してしまうというような問題もある。

【0011】また、後者の問題は、光素子間のアライメント余裕やレベル余裕から素子のアレイ化ピッチをあまり狭くできず、例えば $500\mu\text{m}$ ピッチで構成した光素子アレイでは100素子アレイで $5\text{mm} \times 5\text{mm}$ 、10000素子アレイでは実に $50\text{mm} \times 50\text{mm}$ と非常に大きなチップとなることである。

【0012】図9で示したような構成のシステムでは、原理的に考えても光素子の表面と裏面の両方の面から光入出力が取れることが必要になり、このため光素子の基板は光の回折広がり等を考慮して比較的薄くする（例えば $200\mu\text{m}$ ）必要がある。このため、前述したような10000素子のチップサイズは非現実的な値となってくる。また、チップサイズの大きな多数アレイ素子であるためそのチップ製造歩留まりは非常に小さく、さらに光素子材料となる化合物半導体基板もそれほど大きくな（2~3インチ径）ためチップ収率も小さい。従って、光素子作成の面からも大きな問題が生じてくる。

【0013】

【発明が解決しようとする課題】このように従来、大規模な光接続システムの構築においては、多数の光素子アレイ間の光軸調整が極めて困難であり、またアレイ数が格段に多くなるとそれを実装することも困難であった。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、大規模な光接続システムの構築において多数の光素子間の光軸調整を容易にし、また、アレイ数の大きな光素子の実現を容易にすることのできる光素子アレイの実装方法及び実装体を提供することにある。

【0015】

【課題を解決するための手段】本発明（請求項1）は、光学的な従属接続により複数の光システム用光素子アレイを実装する方法において、光素子アレイを、該光素子アレイに対する光軸整合手段と該光素子アレイを保護する光学的窓部を有し、且つ実装体同士の位置合わせ手段を有する実装体に装着し、この実装体の複数個の積層により光素子アレイを光学的に従属接続することを特徴とする。

【0016】また、本発明（請求項3）は、光学的従属接続型の光素子アレイ用実装体において、光システム用光素子アレイを装着する実装基板と、この実装基板上の光素子アレイを位置決めする光軸整合手段と、実装基板の光素子アレイの光軸延長上に設けられた貫通穴と、該貫通穴を封じ込めた光学的窓部とを具備してなることを特徴とする。

【0017】また、本発明の望ましい実施態様として、次のようにしてもよい。

【0018】(1) 光素子アレイよりも小規模な光素子アレイチップを、複数の光素子アレイチップに対する光軸調整機構を有したホルダー上に2次元配置し、この2次元配置された光素子アレイチップを光素子アレイとして実装体に装着する。

【0019】(2) 実装基板に設けた貫通穴又は光学的窓部に、レンズを設ける。

【0020】(3) 光軸調整機構を有したホルダーを、Siウェハの微小加工で形成する。

【0021】

【作用】本発明の光素子アレイの実装方法及びその実装体によれば、アレイ化光素子の実装を機械的光軸調整機構を持った実装体に搭載し、光学窓による素子の保護を行うためそれぞれの実装体はほぼ独立であり、光素子アレイの交換は独立に行うことができる。また、システムとしての構築の際、それぞれの実装体を積層するだけで光軸調整ができ、組み立ては勿論、システムの保守も特別な技巧を要すること無く容易である。更に本発明の光素子アレイの実装方法では、多数の光素子アレイを部分的なチップとして製造でき、アレイチップの歩留まり及び収率の向上は勿論、1枚の基板で製造した場合と遜色のないアレイ化素子を得ることができる。

【0022】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0023】図1(a)は、本発明の第1の実施例を説明するためのもので、光素子アレイの実装状態を示す断面図である。図中1は実装基板、2は配線取り出しのためのセラミック基板、3は配線、4はボンディングワイヤ、5は気密封止のためのセラミックカバー、6はキャップフレーム、7は光学窓となるガラスシール、8は実装基板1に設けられた貫通穴101の光学窓となる基板側ガラスシール、9は光素子アレイである。

【0024】実装基板1には光素子アレイ9の光軸延長上に貫通穴101が設けられ、また6のキャップフレームにはめ合うように凸部102と凸部103が設けられている。ここで、凸部102は、光学窓8の機械的損傷防止とキャップフレーム6及びセラミックカバー5との機械的位置調整機構となる。この実装基板1の内側に光素子アレイ9を装着する。即ち、実装基板1に設けた凹部（光軸整合手段）へのめ込み又はフリップチップボンディング等の手法を用いて、光素子アレイ9の位置合せと装着を行う。

【0025】次いで、ワイヤボンディングによる電気接続を行った後、キャップフレーム6を機械的位置合せ、又は凹凸ガイドを設ける等の手法により位置合せとして取り付け、全体を気密封止パッケージとする。この結果、光素子アレイ9は気密封止された状態で実装基板1

及びキャップフレーム 6 に位置合せが行われている状態になる。また、その電気接続は 2 及び 5 のセラミックに埋め込まれた形の配線 3 により引き出され、容易に実装体の外へ接続できる状態になっている。

【0026】このような実装方法により、図1(a)のパッケージを図9における光バスモジュール2010等の光モジュールとして用いることができ、外部の電気基板との接続を容易に行うことができる。しかも、このパッケージを他のボードに取付けられた同様のパッケージ(図1(a)1')と積層することにより、その光素子アレイ間の光学的従属接続を簡単に行うことができる。

【0027】従って、この光モジュール間の積層を多重化することにより、多数のボード間の光素子アレイを非常に簡単に光軸調整することが可能になる。しかも、それぞれの積層されたボードは任意の積層段階で取り外し、再積層（再光軸調整）することが可能となり、全体のシステム運用上の保守・点検作業が容易となって、システム全体のコスト及び稼働性が大幅に改善されることになる。特に、光モジュール間は機械的な位置調整機構により位置合せされており、その位置調整機構がボードのゆがみや光モジュール積層のゆるみ等で変動しないよう補助的な機械的固定機構及び支持機構を設けることで周囲温度変動による光軸変動を抑制できるようになり、システムの使用環境条件を広めることもできるようになる。

【0028】ここで、図1(a)の光モジュールについてその光学的構成を、同図(b)を用いて詳しく説明する。図1(b)は、図1(a)の光モジュールの1つの光学径路を抜き出して示した詳細構成図である。ここでは、光素子アレイの例として光スイッチ素子を用い、光入出力を平行光学系するためにガラスシール7、8として平板マイクロレンズアレイを用いる例について述べていく。

【0029】平板マイクロレンズとしては、使用波長に
対して透明な基板に不純物のピンホール拡散等により半
球状の高屈折率部を設けたもの等を用いればよい。図の
中で701及び801が半球レンズとして機能する部分
である。これらは2つで一種の結像光学系を成してい
る。一方のレンズに入射した平行光は光モジュール内部
で焦点を結んだ後、他方のレンズにより再び平行光と
して出力される。ここでは7の半球レンズ701を通って
902の多重量子井戸光スイッチ層を通った後、貫通穴
101を通って8の半球レンズ801によって光力光と
なる構成である。多重量子井戸光スイッチについては後
述する。

【0030】このような構成とすることより、光入出力のビーム保存性が保たれ、光モジュールの多重積層限界を大きくすることができる。また、光モジュール内部では能動光素子の部分で光を絞ることができるので、光素子能動領域の大きさを小さくでき、光素子の寄生容量等

を小さく抑制して高速動作に有利な構成をとることができる。また、光学系の設計によっては貫通穴 101 にレンズをはめ込み、801 或いは 801 と 701 の両方を省略することも可能である。

【0031】次に、光素子の具体的構成例を図2に示す。光素子の例としては、前述した多重量子井戸光スイッチを取り上げる。901はn型InP基板、902は低濃度GaInAsP系多重量子井戸スイッチ層、903はp型InP層、904は低濃度InP層、905はパッシベーション膜で例えば窒化シリコン膜、906は電極取り出しのためのp型拡散領域、907及び908は反射防止コーティング膜、909、910は電極金属である。

【0032】この構成で電極金属909、910間に電圧を印加すると、極性や電圧により多重量子井戸層902の吸収スペクトル特性が変化し、使用波長の限定により光スイッチング作用を得ることができる。このとき、901及び903のInPはGaInAsP系材料の吸収端波長に対して透明であり、そのまま光学通路とすることができます。また、電極909及び910は円形状の窓を有しており、迷光の遮断膜又は空間的光学フィルターとして機能させることもできる。

【0033】以上説明してきたように本実施例の光素子アレイの実装では、光学的従属接続の必要な光システムの構築が容易であり、そのシステムのコスト、運用性、耐環境性等の面で優れた効果を発揮することができる特徴を持っている。

【0034】図3 (a) は、本発明の第2の実施例を説明するためのもので、光素子アレイの概略構成図である。図中10は光素子アレイを整列配置させるためのフレームで、9a～9dは小規模でアレイ化された光素子アレイチップである。フレーム10は図3 (b) に示すように2段構成の凹部となっており、光素子アレイチップ9を周囲で固定することができるようになっている。光素子アレイチップ9a～9dは例えば 10×10 の100素子アレイとし、図3 (a) に示すようにフレーム10を用いて1枚のアレイ9としてそのアレイ数を等価的に増大させることができる。

【0035】この方法を用いることで、基板厚さの薄い光素子でも非常に多数の素子を1平面上に配列して、アレイ化することができる。例えば、光素子の基板厚を $200\text{ }\mu\text{m}$ 、アレイ化ピッチを $500\text{ }\mu\text{m}$ とすると、 10×10 素子アレイは大きさが $0.2\text{ mm} \times 5\text{ mm} \times 5\text{ mm}$ となり、比較的チップ化の可能な大きさとなる。また2インチ径基板を用いた場合には60チップ程度の光素子アレイを同時に作製することができ、3インチ径基板では140チップ程度を同時作成することができる。

【0036】ここで、10000素子の光素子アレイを作製する場合の例を考えてみる。アレイピッチが500μmの場合、1チップアレイの大きさは5.0mm×5.0

mmであり、100素子アレイを本実施例方法でアレイ化した場合、5mm×5mmのチップが100チップ必要である。1チップアレイの場合、3インチ径ウェハのプロセスが必要であるのに対し、本実施例方法では2インチ径、3インチ径のいずれの場合でもプロセス可能である。プロセスのウェハ径が大きくなると、そのプロセス装置はいずれも大型化し非常に大きな過剰設備費が必要になる。

【0037】ここで、3インチ径ウェハを用いたと仮定すると、1チップアレイの場合1枚のウェハで1つのチップしか得られないのに対し、本実施例では相当するアレイチップ数の他に約40チップの予備チップが得られる。また、チップのパッケージ化を考えた場合、1チップアレイでは1つのチップをアセンブリすればよく、本実施例ではフレーム上に100チップを配列する過剰アセンブリが必要になるが、200μm厚で50mm×50mmのチップをアセンブリすることは容易ではなく、ウェハの反り等によりそのアセンブリ成功確率は非常に小さくなり、しかも特殊な大型装置が必要になる。

【0038】本実施例によれば、100チップをフレーム上に配列する工程が追加されるものの、チップサイズが極端な比ではないため通常の装置を用いて行え、そのアセンブリ成功確率も高い。さらに、アセンブリで不良チップを発生した場合にも、プロセス段階で得られた予備チップを用いてリペアアセンブリが可能になる。従って、プロセスのウェハサイズ、即ち装置投資額、チップ収率、実装歩留り等のいずれの場合においても本実施例の方が有利であり、従って本実施例は大型の光素子アレイの作製に大きな効果を發揮することができる。

【0039】また、本実施例は異なる光素子のアレイを作成する場合においても効果を発揮する。即ち1チップアレイの場合、異なる光素子を同一基板上に作製するため、ウェハ上で領域分割をして結晶、プロセス、構造等を変える必要があり、特殊なプロセス工程の開発が必要になる他、異なる素子間のプロセス整合が困難になる場合等、ウェハプロセスの成功確率が非常に小さくなり易い。これに対し本実施例では、異なる光素子をそれぞれ独立に最良のプロセスで作製でき、フレーム上の配列方法を考えるだけで良いため、素子性能や歩留りが圧倒的に高くなる特徴を持っている。

【0040】次に、フレーム10について詳細に説明する。図4は、フレーム10の製造工程を示す断面図であり、ここでは半導体プロセスと同様な方法で作製できるSiの微小加工を用いた例を示す。

【0041】図4(a)はフレームを構成する基板を示したものであり、2枚のSi基板をSiO₂を挟んで接着した、いわゆるSi直接接着基板を示している。図中1001及び1003がSiであり、1002がSiO₂である。この材料を用いる利点は、光素子アレイを挿入する凹部と光素子アレイの光入出力窓となる凹部を別

々の面から形成でき、中間にそれぞれの凹部深さを規定する異種接合面を持っていることである。しかも、独立したSi結晶を直接接着しているため、結晶面や結晶抵抗率等を独立に選定できる利点がある。例えば光素子アレイを挿入する面ではフレーム上に電気配線を形成しておき、そのために高抵抗のSiを用い、他の面では共通電極や電磁シールドを形成するために低抵抗のSiを用いることができる。

【0042】図4(b)はSiによるフレームの例であり、それぞれの凹部をKOH溶液やヒドラジン等のケミカルエッティングで形成した例である。このとき、1004、1005にSiO₂やSi、N_x等のマスクを形成しておき、それらを半導体プロセスと同様なパターン化を行っておけばよい。1006のSiO₂は用途により残したり除去することができる。この方法ではケミカルエッティングを用いるため、数百μmの深さの凹部にもかかわらずその作製時間が比較的短時間で作製できるという特徴を持っている。

【0043】図4(c)は、それぞれの凹部ドライエッティングで形成した例であり、凹部を垂直に、従って凹部パターンを高精度に形成した例である。これにより、光素子アレイの配列精度を高めることができる。

【0044】図4(d)は、ケミカルエッティングとドライエッティングを併用した例であり、光素子アレイ挿入部はドライエッティング、光入出力部はケミカルエッティングで作製している。この場合、光素子アレイの配列精度を高めつつ、作製工程の時間を短縮することができる。また、この例では最初に両面をケミカルエッティングしておき、光素子アレイの挿入部のみ追加でドライエッティングを行う方法により工程時間を更に短縮することができる。

【0045】次に、本発明実施例により、1チップアレイと同等のアレイ素子を得る方法について説明する。

【0046】図5(a)は、アレイ化した場合のフレーム10の近傍を示す構成図である。光素子アレイはそれぞれLoのピッチで形成されており、それぞれの光素子アレイはフレーム10の部分でLcの距離で接続される。このとき、LcをLoと同等にすれば最終的なアレイ素子は1チップアレイと同等なアレイとなり、その光素子アレイ間は、フレーム10に設けた中継電極1007に1101のようにワイヤボンディングするか、直接1102のようにワイヤボンディングを行えばよい。また、ワイヤボンディングする方法では大面積で多数のワイヤボンディングが必要となるため、図5(b)に示すように光素子アレイ間の接続配線1201を設けた固定フレーム12で接続すると、全ての光素子アレイの接続を同時に行うことができる。

【0047】次に、フレーム10の強度を高めた例について説明する。図6(a)は改良したフレームの構成断面図であり、図4で示したSi直接接着基板を用いて構

成した例である。この例では、光素子アレイの挿入部は図4の例と同様に形成し、光入出力の凹部を光素子アレイの光入出力部のみに形成している。このように形成することで、1101は光素子の光軸上でのみ穴が形成され、その他の部分は結合されているため支持基板として大幅に強度が改善される。

【0048】また、このような基板状のフレームに図5(b)の接続電極1201と同様な電極1007を設けることで、図6(b)に示すような多層光素子アレイを簡単に構成することができる。この場合、異なる機能の光素子を重ねて1つの複合機能素子のように機能させることができ可能になる。さらに、図6(a)の光入出力の穴には微小レンズをはめ込むことも可能である。

【0049】図7は、図1(a), (b)で示した光モジュールの構成を、図6の実施例により構成した例である。この場合、1001が図1の実装基板1に相当し、光モジュールの小型化と半導体プロセス技術による加工精度の向上が可能である。

【0050】図8は、フレーム10にマイクロレンズ機能を持たせた実施例である。このマイクロレンズとしては、拡散やイオン交換等による屈折率変化を利用したレンズや、エッチング等により表面をレンズ状に加工したレンズ、或いは回折格子を利用したマイクロフレネルレンズ等を用いることができる。S_iは吸収端波長が1.1μm近傍にあり、1.2μm以上の波長に対しては透明である。従って、1.2μm以上の光に対しては、フレーム10とマイクロレンズ1008及びシーリング材を兼用することが可能になる。このようにすることで、フレーム10又は光素子アレイを装着した実装基板に対するレンズの位置調整が不要になり、光モジュールの作製を簡略化することができるようになる。

【0051】なお、本発明は上述した各実施例に限定されるものではない。光素子アレイの光素子はスイッチ素子に限られるものではなく、面発光レーザ等の発光基子、受光素子、光増幅素子等、他の光素子でもよい。また、フレーム材料にS_iを用いているが、これは他の材料、例えば誘電体や金属等も使用可能である。また、光素子アレイに対する光軸整合手段は凹部に限るものではなく、実装基板上で光素子アレイを位置決めできるものであればよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0052】

【発明の効果】以上説明したように本発明によれば、多数の光素子間の光軸調整を容易にし、またアレイ数の大きな光素子の実装を容易にすることができます、これにより

多段の光従属接続型光システムの構築を容易に行うことができ、大規模並列情報処理システム等の実現に寄与することが可能とする。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するためのもので、光素子アレイの実装状態及びその要部構成を示す断面図、

【図2】光素子の具体的構成例を示す断面図、

【図3】本発明の第2の実施例を説明するためのもので、光素子アレイチップを2次元配置した概略構成及びその一部を示す図、

【図4】第2の実施例に用いたフレームの製造工程を示す断面図、

【図5】アレイ化した場合のフレームの近傍を示す断面図、

【図6】アレイ化したフレームの強度を高めた例を示す断面図、

【図7】図1で示した光モジュールの構成を図6のフレームにより構成した例を示す断面図、

【図8】フレームにマイクロレンズ機能を持たせた実施例を示す断面図、

【図9】2次元素子アレイを用いた従来の光バスシステムの例を示す図。

【符号の説明】

1…実装基板、

2…セラミック基板、

3…配線、

4…ボンディングワイヤ、

5…セラミックカバー、

6…キャップフレーム、

7, 8…光学窓(ガラスシール)、

9…光素子アレイ、

10…フレーム、

101…貫通穴、

102, 103…凸部、

701, 801…半球レンズ、

901…n型InP基板、

902…多重量子井戸光スイッチ層、

903…p型InP、

904…低濃度InP、

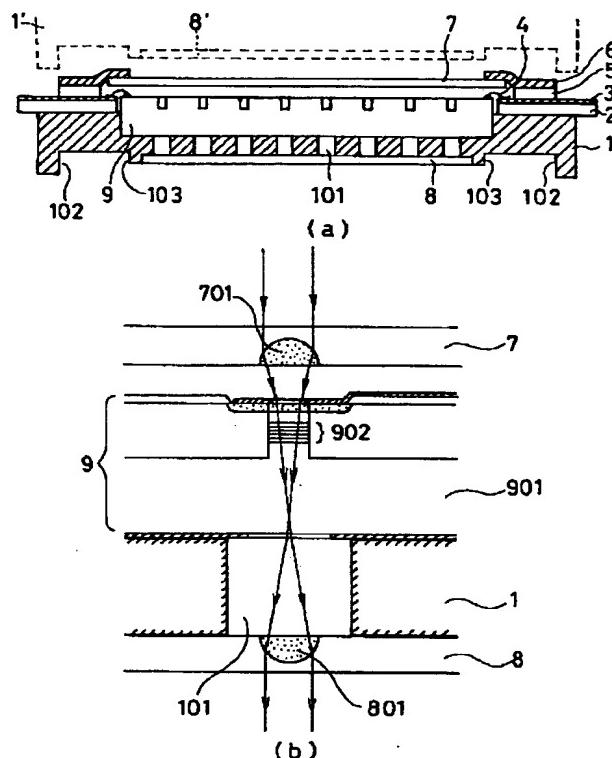
905…パッシベーション膜(窒化シリコン膜)、

906…p型拡散領域、

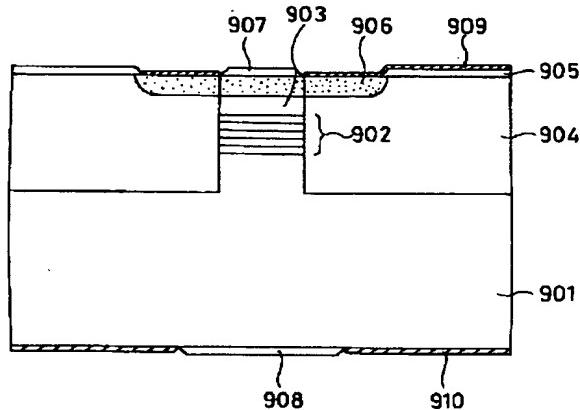
907, 908…反射防止コーティング膜、

909, 910…電極金属。

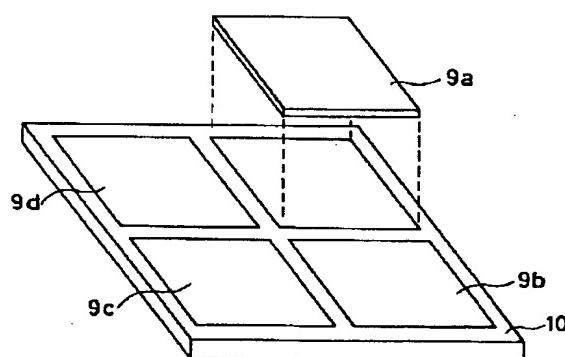
【図1】



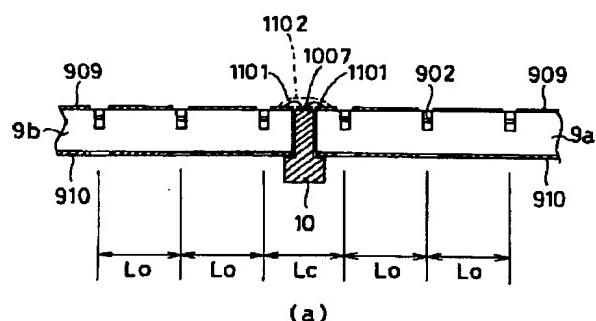
【図2】



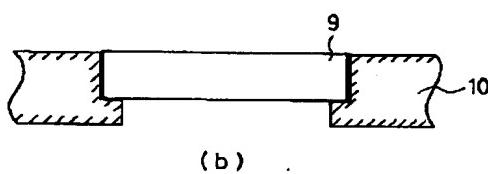
【図3】



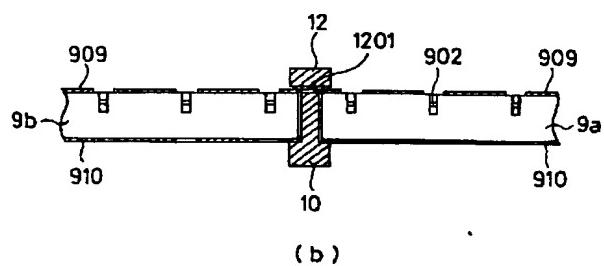
【図5】



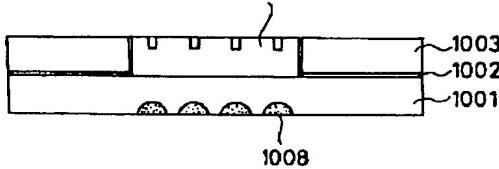
(a)



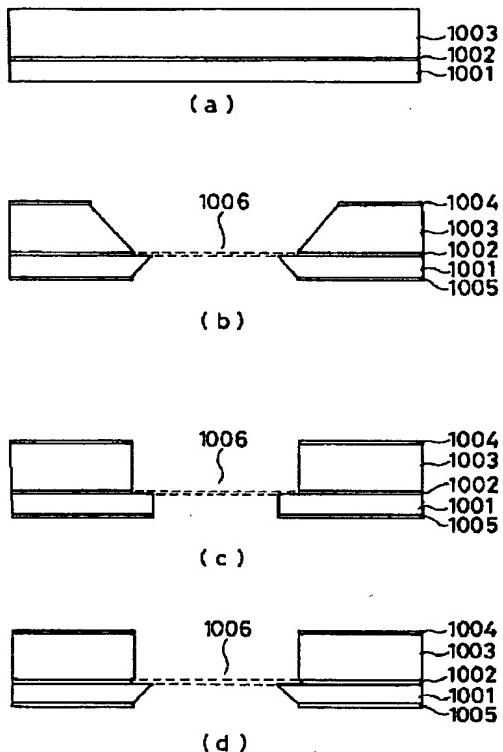
(b)



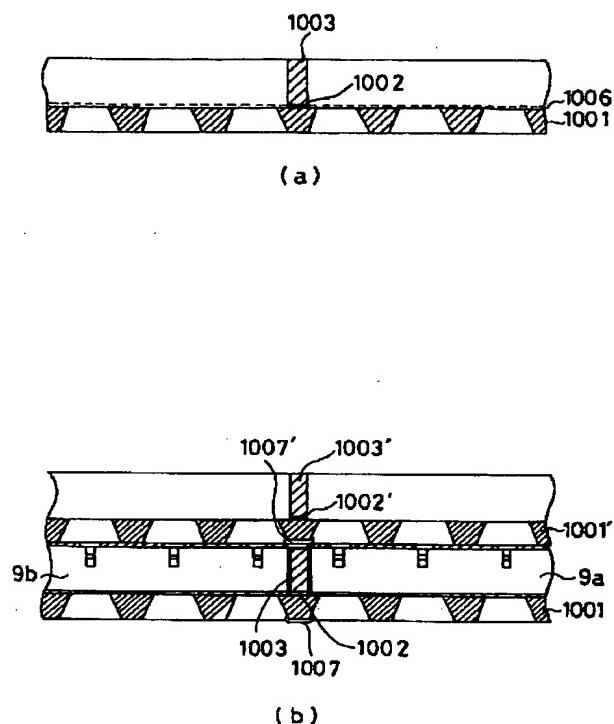
【図8】



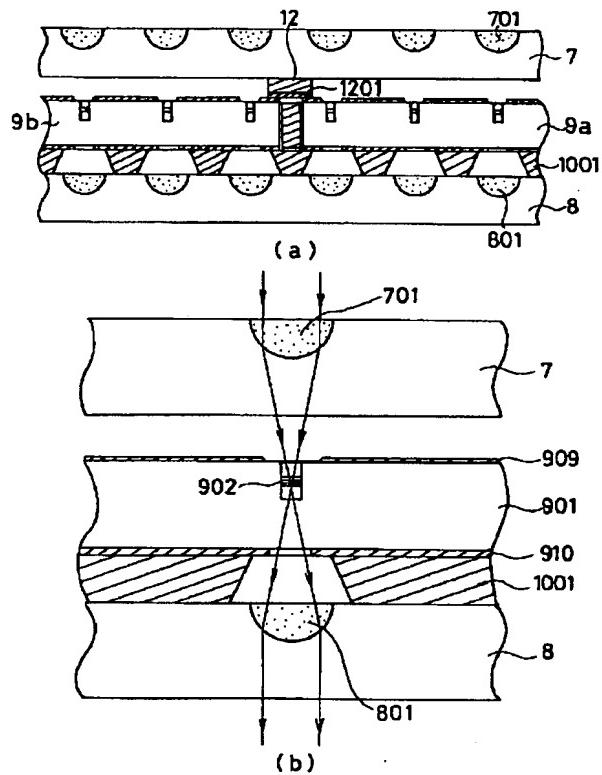
【図4】



【図6】



【図7】



【図9】

